

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308094  
(43)Date of publication of application : 02.11.2001

(51)Int. Cl.

H01L 21/3205  
G23C 14/14  
G23C 14/34  
G23C 14/58  
H01L 21/203  
H01L 21/285

(21)Application number : 2000-117990  
(22)Date of filing : 19.04.2000

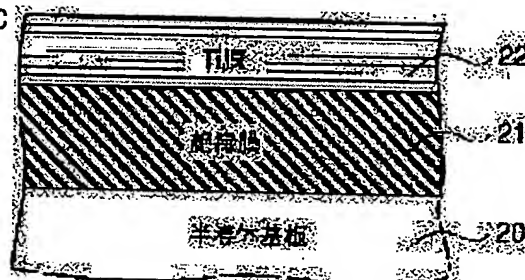
(71)Applicant : OKI ELECTRIC IND CO LTD  
(72)Inventor : USAMI TETSUO  
SHINKAWA YOSHIKAZU

(54) METHOD FOR DEPOSITING THIN FILM OF INTERCONNECTION

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem in the conventional method of sputtering method employing an Al-Si-Cu target, that Si nodules are generated when an Al-interconnection film is deposited.

SOLUTION: Generation of Si nodules is prevented by depositing an Al<sub>3</sub>Ti film, having a high solid solubility of Si and an Al film in layer and heat treating at 400° C or above, thereby absorbing excess Si to the Al<sub>3</sub>Ti film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-308094  
(P2001-308094A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl'	識別記号	F I	テ-マ-ト*(参考)		
H 0 1 L	21/3205	C 2 3 C	14/14	B	4 K 0 2 9
C 2 3 C	14/14		14/34	R	4 M 1 0 4
	14/34		14/58	A	5 F 0 3 3
	14/58	H 0 1 L	21/203	S	5 F 1 0 3
H 0 1 L	21/203		21/285	S	
審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く					

(21)出願番号 特開2000-117990(P2000-117990)

(22)出願日 平成12年4月19日(2000.4.19)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 宇佐美 哲男

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 新川 吉和

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 100089093

弁理士 大西 健治

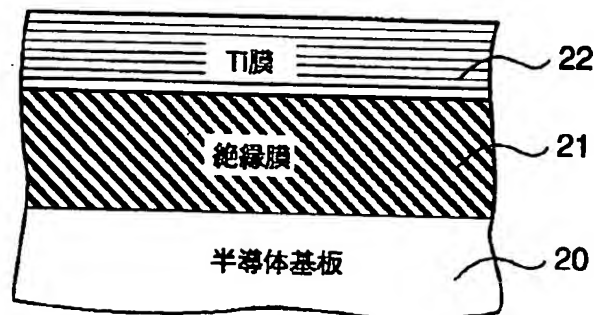
最終頁に続く

(54)【発明の名称】 配線薄膜の堆積方法

(57)【要約】

【課題】 Al-Si-Cuターゲットによるスパッタ法で、Al配線膜を堆積させるときに生ずるSiのノジュールが発生してしまう。

【解決手段】 Siの固容量の大きいAl<sub>3</sub>Ti膜をAl膜と積層するように堆積して、400℃以上の熱処理を加えることにより、過剰なSiをAl<sub>3</sub>Ti膜に吸収させることでSiノジュールの発生を防止する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を400℃以上で堆積する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項2】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を堆積する工程と、前記半導体基板を400℃以上でアニール処理する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項3】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl<sub>3</sub>Ti膜を堆積する工程と、前記Al<sub>3</sub>Ti膜上にAl-Si-Cu膜を400℃以上の温度で堆積する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項4】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl<sub>3</sub>Ti膜を堆積する工程と、前記Al<sub>3</sub>Ti膜上にAl-Si-Cu膜を堆積する工程と、前記半導体基板を400℃以上でアニール処理する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項5】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を堆積する工程と、前記Al-Si-Cu膜上にAl<sub>3</sub>Ti膜を堆積する工程と、前記半導体基板を400℃以上でアニール処理する工程とを含むことを特徴とする配線薄膜の堆積方法。

【請求項6】 半導体基板上にTi膜を堆積する工程と、前記Ti膜上にAl-Si-Cu膜を堆積する工程と、前記Al-Si-Cu膜上にAl<sub>3</sub>Ti膜を400℃以上の温度で堆積する工程とを含むことを特徴とする配線薄膜の堆積方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、半導体素子の製造方法とその方法を用いて製造された素子の構造に関し、特に配線として用いられる薄膜の堆積方法と、及びその方法を用いて堆積された薄膜の積層構造に関するものである。

## 【0002】

【従来の技術】 従来半導体基板上に素子を形成する場合は、図15～17に示す様な配線薄膜堆積方法が行われてきた。まず、シリコンに代表されるような半導体基板1上に絶縁膜2（例えばSiO<sub>2</sub>、BPSG）を堆積し、バリア層3（例えばTi、TiN及びその積層）を堆積する。次に、SiをAlの固溶限界以上の0.5～1.0%添加したAl-Si-Cuターゲットによるスパッタ法で、半導体基板を150～400℃に加熱した状態でAl膜4を堆積する。

【0003】 ここで、Siを添加する理由はEM（エレクトロマイグレーション）耐性を向上させるためである。また、Al堆積時に半導体基板を加熱する理由は、Alのグレイン（結晶粒）を大きくしてEM耐性を上げたり、ステップカバレッジ（段差被覆性）を向上させたりするためである。次に、ホトリソグラフィ工程を良好に行うための反射防止膜（ARM）5、例えばTi、TiN及びその積層膜を堆積する。その後、公知のホトリソグラフィ

一法及びエッチング法により、配線をパターンニングしていった。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上述したような固溶限界以上のSiを添加したAl-Si-Cuターゲットを用いてスパッタ堆積したAl薄膜には、以下に述べるような課題があった。すなわち、Al膜を堆積する際、その高い加熱温度によって、析出していたSi粒6がAl中に固溶し、堆積終了後にウエハが堆積温度から徐々に冷却される過程において、固溶しきれずに残ったSiを核として、一旦固溶したSiの再結晶成長が始まり、結果として巨大なSi析出物7を形成する（図18参照）。このAl膜中に析出したSi析出物7は、後行程であるAl膜のエッチングの際、通常使用されるCl<sub>2</sub>系のエッチングガスでは取り除けず、結果的にSiの残渣として残ってしまう。図19に示すように、このSi残渣8は、残渣下部のAlをエッチングする際のマスクとして作用してしまう。そのため、パターン不良を起こし、Si残渣8の大きさが配線間の間隔よりも大きくなると、配線間ショートの原因になるなどの問題点がある。

## 【0005】

【課題を解決するための手段】 本願発明では、上述した課題を解決するため、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl-Si-Cu膜を400℃以上で堆積する工程とを含む配線薄膜の堆積方法としたものである。この方法によれば、Ti膜とAl-Si-Cu膜の層間にAl<sub>3</sub>Ti膜が形成され過剰なSiを吸収するため上述した課題を解決できるのである。

【0006】 また、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl-Si-Cu膜を堆積する工程と、半導体基板を400℃以上でアニール処理する工程とを含む配線薄膜の堆積方法としたものであり、その原理はAl<sub>3</sub>Ti膜のSiの吸収による。

【0007】 また、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl<sub>3</sub>Ti膜を堆積する工程と、前記Al<sub>3</sub>Ti膜上にAl-Si-Cu膜を400℃以上の温度で堆積する工程とを含む配線薄膜の堆積方法としたものであり、その原理は上述した通りである。

【0008】 また、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl<sub>3</sub>Ti膜を堆積する工程と、Al<sub>3</sub>Ti膜上にAl-Si-Cu膜を堆積する工程と、半導体基板を400℃以上でアニール処理する工程とを含む配線薄膜の堆積方法としたものであり、その原理は上述した通りである。

【0009】 更に、半導体基板上にTi膜を堆積する工程と、Ti膜上にAl-Si-Cu膜を堆積する工程と、Al-Si-Cu膜上にAl<sub>3</sub>Ti膜を堆積する工程と、半導体基板を400℃以上でアニール処理する工程とを含む配線薄膜の堆積方法としたものであり、その原理は上述した通りである。

## 【0010】

【発明の実施例】（第1の実施例） 本発明の第1の実施

例を、図1乃至3を用いて詳細に説明する。まず、半導体基板20上に絶縁膜21(例えばSiO<sub>2</sub>、BPSG)を堆積する。次に、バリア層として、例えばTi膜を50nm程度堆積する。その後、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法で、Al膜23を400~800nm程度堆積する。このAl膜を堆積する時の温度を、400℃以上の高温とする。

【0011】この様に、温度が高い条件でAl膜を堆積すれば、Al-Ti間の反応が促進されてAl<sub>3</sub>Ti合金層24が形成される。このAl面に接するAl<sub>3</sub>Tiは、Al中のSiを吸収

することが確認されている。例えば、450℃でのAl<sub>3</sub>TiのSiの固溶度は約15重量%程度であり、非常に高くなる。【0012】従って、本実施例では、このAl<sub>3</sub>TiへのSiの拡散を促進し、Al中のSi量を減らし再結晶によるSi析出物を無くすようにする。このAl<sub>3</sub>Ti合金層24を形成するため、Al膜の堆積時の半導体基板温度を、400℃以上の高温にしてAl膜を堆積するのである。その後、反射防止膜として例えばTiN膜を50nm程度堆積する。その後は、公知の方法でパターニングを行う。

【0013】以上のように、本実施例によれば、バリア層がTiの場合、ウェハ温度を400℃以上の高温にしてAl膜を堆積することで、Al-Ti間反応を促進し、Al<sub>3</sub>Ti合金層を形成する。Al面に接するAl<sub>3</sub>Ti層は、Al膜堆積時の高温処理により、Al膜中のSiを吸収する。従って、Al膜中のSi量が減少し、ウェハが成膜温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【0014】(第2の実施例) 本発明の第2の実施例を、図4乃至5を用いて詳細に説明する。まず、半導体基板30上に、絶縁膜31(例えばSiO<sub>2</sub>、BPSG)を堆積させる。次に、バリア層としてTi単層膜32を50nm程度堆積する。その後、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法で、Al膜33を400~800nm程度堆積する。次に、反射防止膜として、TiN膜34を50nm程度堆積する。各膜の堆積条件は、従来の技術と同様で良い。

【0015】以上の膜の堆積が終了したら、半導体基板を400℃以上の高温でアニール処理をする。このアニール処理により、Al-Ti間の反応が促進されAl<sub>3</sub>Ti合金層35が形成される。このAl面に接するAl<sub>3</sub>Tiは、上述したようにAl中のSiを吸収することが確認されている。従って、本実施例では、このAl<sub>3</sub>TiへのSiの拡散を促し、Al中のSi量を減らして再結晶によるSi析出物を無くすることができる。

【0016】以上のように、第2の実施例によれば、バリア層がTiの場合、反射防止膜の堆積が終了した後で、400℃以上でアニール処理を行うことで、Al-Ti間反応が促進されAl<sub>3</sub>Ti合金層が形成される。Al面に接するAl<sub>3</sub>Ti合金層35は、アニール時の温度が高いため、Al膜中の

Siを吸収する。従って、Al膜中のSi量が減少し、半導体基板が膜の堆積温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【0017】(第3の実施例) 本発明の、第3の実施例を、図6乃至8を用いて詳細に説明する。まず、半導体基板40上に、絶縁膜41(例えばSiO<sub>2</sub>、BPSG)を堆積する。次に、バリア層としてTi膜42を50nm程度堆積する。バリア層までの成膜条件は従来の技術と同様で良い。本実施例ではAl堆積前に、あらかじめAl<sub>3</sub>Tiターゲットを用いたスパッタ法によりAl<sub>3</sub>Ti膜43を10~20nm程度堆積する。次に、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法で、Al膜を堆積温度400℃以上にて、400~800nm程度堆積する。Al膜の堆積温度を400℃以上とするのは、Al<sub>3</sub>Ti中へのSiの吸収を促進するためである。その後、反射防止膜としてTiN膜45を50nm程度堆積する。

【0018】以上のように、第3の実施例によれば、Al堆積前に、あらかじめAl<sub>3</sub>Tiターゲットを用いたAl<sub>3</sub>Ti膜を堆積し、その後400℃以上の高温でAl膜を堆積することで、Al面に接するAl<sub>3</sub>Ti層は、成膜時に、Al中のSiを吸収するのでAl中のSi量が減少し、ウェハが成膜温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショートを無くすることができるのである。

【0019】(第4の実施例) 本発明の、第4の実施例を、図9乃至10を用いて詳細に説明する。まず、半導体基板50上に、絶縁膜51(例えばSiO<sub>2</sub>、BPSG)を堆積する。次に、バリア層としてTi膜52を50nm程度堆積する。バリア層までの成膜条件は、従来の技術と同様である。本実施例では、Al成膜前に、Al<sub>3</sub>Tiターゲットを用いたスパッタ法により、Al<sub>3</sub>Ti膜53を10~20nm程度堆積する。その後、従来の技術と同様の成膜条件で、Al-1.0%Si-0.5%Cuターゲットを用いたスパッタ法によりAl膜54を400~800nm程度堆積する。次に反射防止膜としてTiN膜55を50nm程度堆積する。以上の膜の堆積終了後、Al<sub>3</sub>Ti膜中へのSiの吸収を促進するために、半導体基板を400℃以上の高温でアニール処理を行う。

【0020】以上のように、第4の実施例によれば、Al膜の堆積前に、Al<sub>3</sub>Tiターゲットを用いたスパッタ法によりAl<sub>3</sub>Ti膜を堆積し、反射防止膜の堆積終了後、Al<sub>3</sub>Ti膜中へのSiの吸収を促進するため、400℃以上の高温でアニール処理を行う。このアニールにより、Al面に接するAl<sub>3</sub>Ti層はAl膜中のSiを吸収するので、Al膜中のSi量が減少し、ウェハが成膜温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、

巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショート無くすことができるのである。

【0021】(第5の実施例) 本発明の第5の実施例を、図11乃至12を用いて詳細に説明する。まず、半導体基板60上に、絶縁膜61(例えばSiO<sub>2</sub>、BPSG)を堆積する。次に、バリア層としてTi膜62を50nm程度堆積する。その上に、Al-0.8%Si-0.3%Cuターゲットを用いたスパッタ法で、Al膜63を堆積する。Al膜を堆積するまでの堆積条件は従来の技術と同様で良い。本実施例では、Al膜堆積後に、Al<sub>3</sub>Tiターゲットを用いたスパッタ法によりAl<sub>3</sub>Ti膜64を10~20nm程度堆積する。その後、従来の技術と同様に反射防止膜TiN65を50nm程度堆積する。反射防止膜の堆積終了後、Al<sub>3</sub>Ti中へのSiの吸収を促進するために400℃以上の高温でアニール処理を行う。以上のように、第5の実施例によれば、Al成膜後に、Al<sub>3</sub>Tiターゲットを用いたスパッタ法によってAl<sub>3</sub>Ti膜64を堆積し、反射防止膜の堆積終了後、Al<sub>3</sub>Ti中へのSiの吸収を促進するために400℃以上の高温でアニール処理を行うことで、Al面に接するAl<sub>3</sub>Ti層はAl中のSiを吸収するので、Al膜中のSi量が減少し、半導体基板が堆積温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショート無くすことができるのである。

【0022】(第6の実施例) 本発明の第6の実施例を、図13乃至14を用いて詳細に説明する。まず、半導体基板70上に、絶縁膜71(例えばSiO<sub>2</sub>、BPSG)を堆積する。次に、バリア層としてTi膜72を50nm程度堆積する。その上に、Al-0.8%Si-0.3%Cuターゲットを用いたスパッタ法で、Al膜73を堆積する。Al膜を堆積するまでの堆積条件は従来の技術と同様で良い。本実施例では、Al膜堆積後に、Al<sub>3</sub>Tiターゲットを用いたスパッタ法によりAl<sub>3</sub>Ti膜74を10~20nm程度堆積する。その時の温度を400℃以上の高温で堆積する。その後、従来の技術と同様に反射防止膜TiN75を50nm程度堆積する。

【0023】以上のように、第6の実施例によれば、Al成膜後に、Al<sub>3</sub>Tiターゲットを用いたスパッタ法によってAl<sub>3</sub>Ti膜74を400℃以上の温度下で堆積する。Al<sub>3</sub>Ti中へのSiの吸収を促進するために400℃以上の高温でAl<sub>3</sub>Ti膜の堆積を行うことで、Al面に接するAl<sub>3</sub>Ti層はAl中のSiを吸収するので、Al膜中のSi量が減少し、半導体基板が堆積温度から冷却する過程におけるSiの再結晶成長を抑制することができる。これにより、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を防いで配線間ショート無くすことができるのである。

【0024】

【発明の効果】 本発明によれば、Al<sub>3</sub>Ti膜がSiを多量に固溶できる性質を利用して過剰なSiを吸収させるようにしたので、Al膜中のSi量が減少し、半導体基板が堆積温度から冷却する過程におけるSiの再結晶を抑制することができる。従って、巨大なSiの析出物の形成を防ぐことができ、Si析出物によるAlエッチング時のパターン不良を簡便な方法で防ぐことができ、結果として配線間ショート無くし良好な配線薄膜を得ることができるのである。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を説明するための工程断面図その1である。

【図2】 本発明の第1の実施例を説明するための工程断面図その2である。

【図3】 本発明の第1の実施例を説明するための工程断面図その3である。

【図4】 本発明の第2の実施例を説明するための工程断面図その1である。

【図5】 本発明の第2の実施例を説明するための工程断面図その2である。

【図6】 本発明の第3の実施例を説明するための工程断面図その1である。

【図7】 本発明の第3の実施例を説明するための工程断面図その2である。

【図8】 本発明の第3の実施例を説明するための工程断面図その3である。

【図9】 本発明の第4の実施例を説明するための工程断面図その1である。

【図10】 本発明の第4の実施例を説明するための工程断面図その2である。

【図11】 本発明の第5の実施例を説明するための工程断面図その1である。

【図12】 本発明の第5の実施例を説明するための工程断面図その2である。

【図13】 本発明の第6の実施例を説明するための工程断面図その1である。

【図14】 本発明の第6の実施例を説明するための工程断面図その2である。

【図15】 従来の技術を説明するための工程断面図その1である。

【図16】 従来の技術を説明するための工程断面図その2である。

【図17】 従来の技術を説明するための工程断面図その3である。

【図18】 従来の技術のメカニズムを説明するための工程断面図である。

【図19】 従来の技術による不具合を説明するための断面図である。

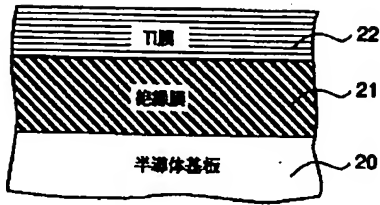
【符号の説明】

1、20、30、40、50、60、70：半導体基板

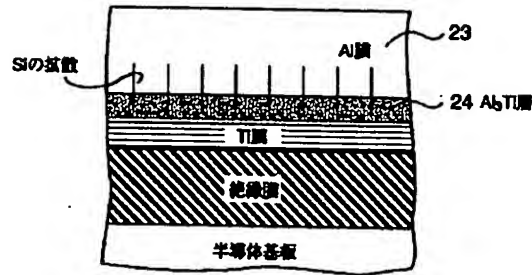
2、21、31、41、51、61、71：絶縁膜  
22、32、42、52、62、72：Ti膜

24、35、43、53、64、74：Al<sub>3</sub>Ti層  
23、33、44、54、63、73：Al膜

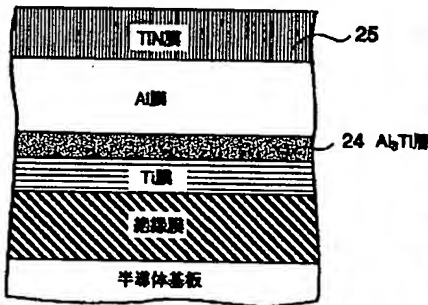
【図1】



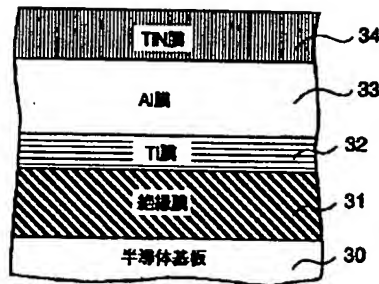
【図2】



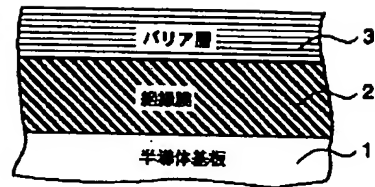
【図3】



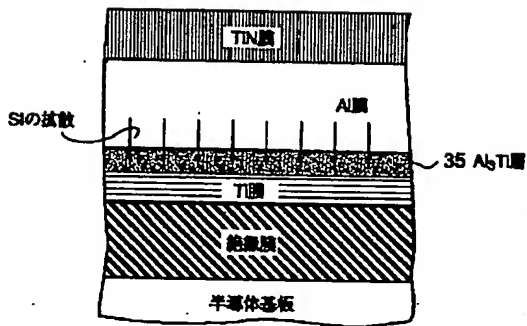
【図4】



【図15】



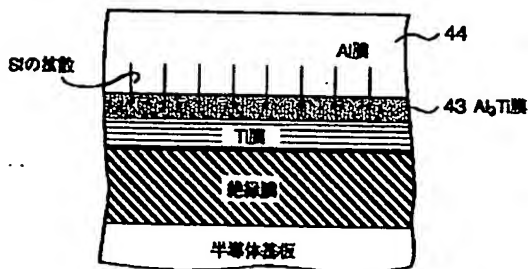
【図5】



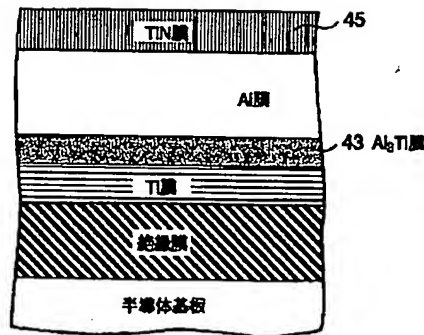
【図6】



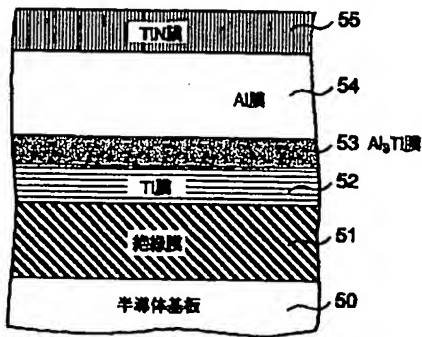
【図7】



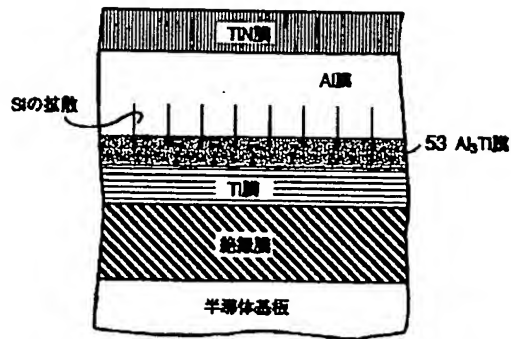
【図8】



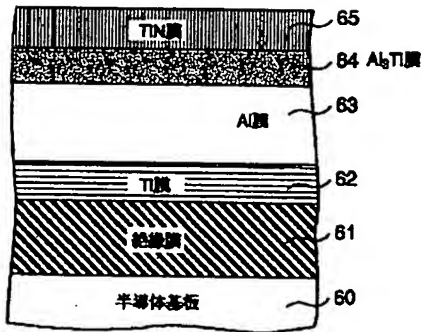
【図9】



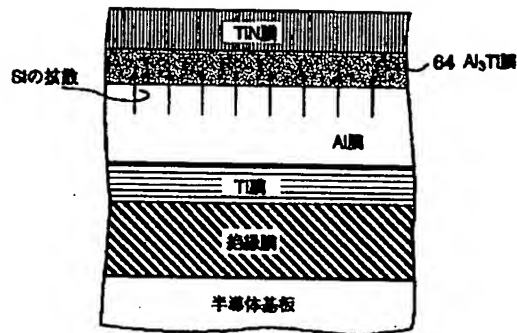
【図10】



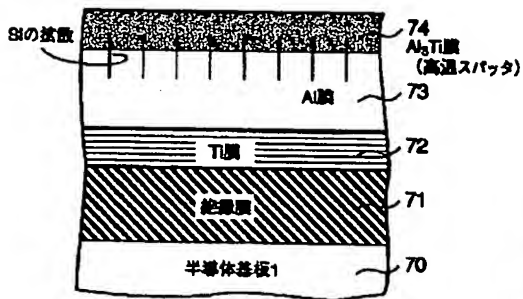
【図11】



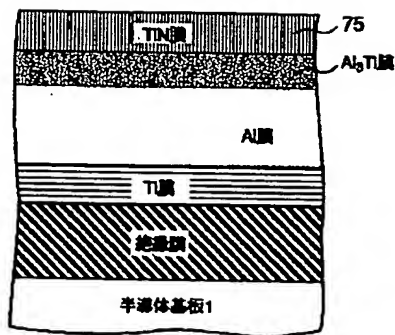
【図12】



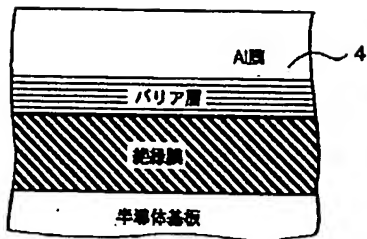
【図13】



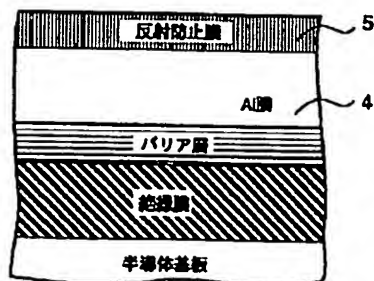
【図14】



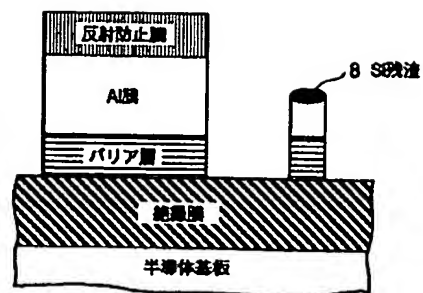
【図16】



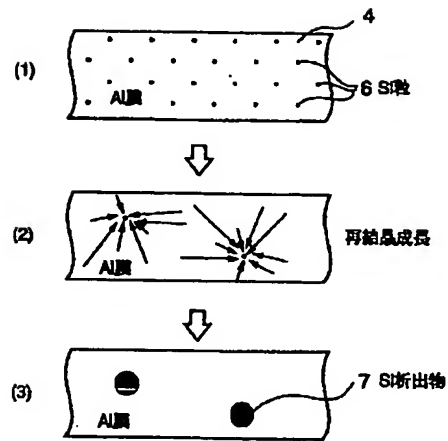
【図17】



【図19】



【図18】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 21/285

識別記号

301

F I

H01L 21/285

21/88

テマコード\* (参考)

301M

N

R

F ターム (参考) 4K029 BA23 BD02 CA05 FA01 GA01  
 4M104 BB14 DD79 DD83 HH20  
 5F033 HH09 HH10 HH18 HH33 MM08  
 MM13 MM14 PP15 PP18 QQ03  
 QQ69 QQ73 WW03 XX31  
 5F103 AA08 DD28 GG02 HH03 LL14  
 NN01 PP03 RR06 RR10